

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223835

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 27/00
H01L 27/15
H01L 29/78
H01L 31/0248

(21)Application number : 09-022408

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 05.02.1997

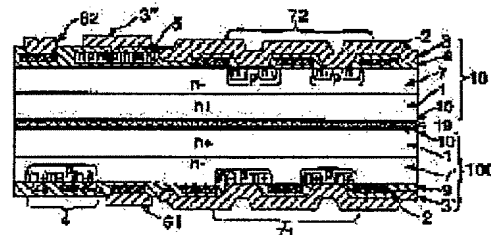
(72)Inventor : FUCHIGAMI NOBUTAKA
SAKAMOTO MITSUZO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayered means which can be connected even if vertical MOSFET are parallel by joining first and second semiconductor chips having vertical MOSFET by making them face each other and connecting respective vertical MOSFET between drains.

SOLUTION: The drains are connected by joining the backs faces of the semiconductor chips 100 and 101 in vertical MOSFET 71 and 72 so as to constitute a circuit. Namely, one semiconductor device is constituted of the stacked layer of the two semiconductor chips 100 and 101 having vertical MOSFET 71 and 72. The back faces of the semiconductor chips 100 and 101 are metallized. When the back electrode 10 is A1, they are joined by using the conductive adhesive 19 of Ag paste and the like. When the back electrode 10 is Au/Ni/Ti and Ag/Ni/Cr and the like, solder liquid where Sn particles are dissolved by organic acid Pb is applied and it is dried. Then, they are joined. Thus, the package of the semiconductor device can be miniaturized and product cost can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223835

(43) 公開日 平成10年(1998) 8月21日

(51) Int. Cl. ⁶	識別記号	F I	
H 0 1 L 27/00	3 0 1	H 0 1 L 27/00	3 0 1 B
			3 0 1 W
27/15		27/15	B
29/78		29/78	6 5 6 Z
31/0248		31/08	K
審査請求 未請求 請求項の数7 O L (全 11 頁)			

(21) 出願番号 特願平9-22408

(22) 出願日 平成9年(1997) 2月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都国分寺市東恋ヶ窪三丁目1番地1

(72) 発明者 淵上 伸隆

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 小川 勝男

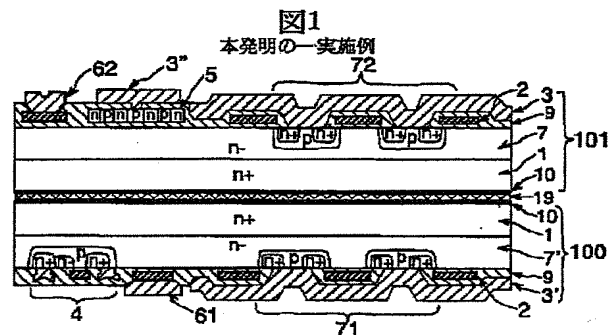
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】半導体チップの実装面積を増やすことなしに複数のパワー-MOSFETを集積化する。

【解決手段】チップの裏面間を接合してチップを2層構造にする。この場合、チップ間の配線方法が実用化の鍵となるが、パッケージ内部に被着された金属シートを分割し、片方の金属シートを上側チップに接続させる。



【特許請求の範囲】

【請求項 1】縦型構造の電界効果トランジスタを有する第 1 の半導体チップと縦型構造の電界効果トランジスタを有する第 2 の半導体チップによって構成される半導体装置において、前記第 1 の半導体チップの裏面と前記第 2 の半導体チップの裏面とが対向して接続されていることを特徴とする半導体装置。

【請求項 2】前記第 1 と第 2 の半導体チップの裏面が金属を介して対向的に接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記第 1 と第 2 の半導体チップの少なくとも 1 個は縦型構造の電界効果トランジスタの代わりに縦型構造のダイオード或いは縦型構造のバイポーラが含まれることを特徴とする請求項 1 或いは 2 に記載の半導体装置。

【請求項 4】前記第 1 或いは第 2 の半導体チップに含まれる少なくとも 1 個の電極はバイメタル或いは形状記憶金属との接触によって電気的信号が伝達されることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】前記第 1 或いは第 2 の半導体チップの少なくとも 1 個は多結晶半導体膜或いは非晶質半導体膜からなる光ダイオードが設けられていることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体装置。

【請求項 6】縦型構造の半導体デバイスを有する第 1 と第 2 の半導体ウェハの裏面が研磨される工程と、前記第 1 の半導体ウェハの裏面に前記第 2 の半導体ウェハの裏面が低融点金属或いは貴金属系材料を介して接触される工程と、該接触された 2 枚の半導体ウェハが 250～450℃の加熱によって接着される工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】第 1 の半導体チップの表側電極が第 1 の絶縁体に設けた金属膜に接続される工程と、第 2 の半導体チップの表側電極が第 2 の絶縁体に設けた金属膜に接続される工程と、前記第 1 の半導体チップの裏面と前記第 2 の半導体チップの裏面とが半田或いは導電性接着剤を用いて接合される工程と、前記第 1 の絶縁体と第 2 の絶縁体が接続されることで前記第 1 と第 2 の半導体チップを保護する容器が形成される工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の構造に係わり、縦型デバイスを有する半導体チップの実装面積を増やさずに縦型デバイス領域の面積を増やす手段を提供する。

【0002】

【従来の技術】縦型MOSFETを有する半導体チップの断面構造を図2に示す。本図はnチャネルの場合であり、ドレイン電流(I_D)は裏面から垂直に流れた後、チャネ

ルを水平に横切ってソース電極3に達する。I_Dの値は縦型MOSFETのセル数に比例し、縦型MOSFETの領域を大きくする程多数のセルを配置できるため、I_Dは大きくなり、オン抵抗は低減する。縦型MOSFETを分割して使用する場合、個々の縦型MOSFETの面積は小さくなるため、オン抵抗は増大する。オン抵抗の増大を避けるためにはチップ寸法を拡大し、各縦型MOSFETの面積を大きくすればよいが、チップ寸法の拡大はパッケージを大型化し、製品価格の上昇を招く問題がある。また、実装された半導体チップは寸法の拡大で熱応力や剪断応力が増大するため、製品の信頼性が低下する問題もある。

【0003】実装面積を増やさずにMOSFET領域を増やす手段としては、半導体チップを多層化する方法が考えられる。多層化の従来例には1990年のブイ・エル・エス・アイ・サーキット シンポジウムの講演予稿集の第95頁から第96頁(Symposium on VLSI Circuits: Digest of Technical Papers pp95～96(1990))に2枚の横型MOSFETを積層する手段が述べられている。この方法は下側チップに上向きのWバンプを設け、上側チップの裏面には下向きのAu/Inプールを設けて上側と下側のチップを圧着して、隙間をポリイミドで埋める。或いは、下側チップにAu/Inプールを設け、上側チップの裏面にWバンプを設けて圧着し、隙間をポリイミドで埋めて2層化する方法である。

【0004】

【発明が解決しようとする課題】上記積層方法は下側チップの表面と上側チップの裏面とが接続される構成であるため、縦型MOSFETに適用する場合は下側チップのソース電極と上側チップのドレイン電極とが直列に接続される構成しかできない。しかし、実装面積を増やさずに縦型MOSFETの面積を増やすためには縦型MOSFETは並列に接続される必要があるため、上記の積層方法では本目的は達成できない問題があった。

【0005】そこで、本発明の目的は縦型MOSFETが並列でも接続できる多層化の手段を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明の一実施形態によれば、縦型MOSFET71を有する第1の半導体チップ100と縦型MOSFET72を有する第2の半導体チップ101の裏面が対向して接合されることで、各々の縦型MOSFETはドレイン間で接続され、2個の縦型MOSFETからなる半導体装置が実現されたことを特徴とするものである(図1、或いは図6参照)。

【0007】本発明の他の実施形態によれば、縦型MOSFET71を有する第1の半導体チップ100と縦型MOSFET72を有する第2の半導体チップ101が金属8の両側に裏面で接合され、前記半導体装置と回路的に等価な半導体装置が実現されたことを特徴とするものである(図7参照)。本実施形態の半導体装置では、金属8がヒートシンクの作用をもつため、放熱性が向上する。また、縦型

MOSFET71, 72へのドレイン電圧の供給は金属8を介して行えばよいと、外部からの配線が容易化する利点がある。

【0008】以上の本発明の実施形態では、第1と第2の半導体チップの少なくとも1個の縦型MOSFETは縦型構造のダイオード或いはバイポーラに置き換えることが可能であり、本実施形態によってバイポーラを内蔵する半導体装置が実現されたことを特徴とするものである(図8, 図9参照)。

【0009】本発明のこの他の実施形態によれば、上記半導体装置に含まれる少なくとも1個の電極は、電気的信号の伝達手段にバイメタル或いは形状記憶金属で構成された接触式の機械スイッチが用いられることで、温度スイッチを有する半導体装置が実現されたことを特徴とするものである(図10, 図11参照)。

【0010】また、本発明の他の実施形態によれば、上記半導体装置に多結晶半導体膜或いは非晶質半導体膜からなる光ダイオードが組み込まれることで、制御信号に光が用いられる半導体装置が実現されたことを特徴とするものである(図12参照)。

【0011】以上で説明した本発明の半導体装置の製造方法の一実施形態によれば、第1の半導体チップ100を有する半導体ウエハは研磨後の裏面に低融点金属或いは貴金属系材料から成る金属膜が被着され、この裏面に第2の半導体チップ101を有する半導体ウエハの研磨後の裏面が重ねられ、金属・半導体界面でシリサイド化反応が進行する温度(250~450℃)まで両者が加熱されることで第1と第2の半導体チップが接着する工程が製造工程に含まれることを特徴とするものである。本実施形態の製造工程によれば、半導体装置はウエハ状態で一括して接合されるため、チップ状態で個別に接合される場合よりも作業効率を向上できる利点を有するものである(図13参照)。

【0012】本発明の半導体装置の製造方法の他の一実施形態によれば、第1の半導体チップ100は第1の絶縁体容器28に設けられた金属膜に表側で接続され、第2の半導体チップ101は第2の絶縁体容器29に設けられた金属膜に表側で接続され、第1と第2の半導体チップが裏面で接合される際に第1と第2の絶縁容器も合体され、半導体装置とその保護容器と一緒に完成される工程が製造工程に含まれることを特徴とするものである(図14参照)。

【0013】

【発明の実施の形態】

(実施例1) 本発明の一実施例として、図1に2個の縦型MOSFET71, 72で構成された半導体装置の断面図を示す。縦型MOSFET71と縦型MOSFET72は半導体チップ100と半導体チップ101の裏面間接合によってドレイン間が接続され、回路を構成する。この様に、縦型MOSFETを有する2個の半導体チップの積層で1個の半導体装置を

構成することが本発明の特徴である。

【0014】積層された2個の半導体チップの実装面積は1個の場合と同じであるため、本発明の半導体装置はパッケージの寸法を大きくせずに縦型MOSFET領域を2倍にできる。逆に、必要なIDが決められている場合は本発明の半導体装置は小型のパッケージが使用でき、製品価格を低減できる。

【0015】この他、本発明の半導体装置はエピタキシャル層7とエピタキシャル層7'の濃度を異なる条件に設定できるため、縦型MOSFET71と縦型MOSFET72の仕様を変え、各々を用途に応じて最適化することができる。また、半導体チップ100, 101には横型MOSFET4や多結晶Siダイオード5等を設けることができるため、これらの素子で制御回路を構成して縦型MOSFET71, 72を制御することは可能である。

【0016】図1の半導体装置の接合方法について説明する。半導体チップ100, 101の裏面はメタライズされており、裏面電極10がAlの場合はAgペースト等の導電性接着剤19を使って接合される。裏面電極10がAu/Ni/TiやAg/Ni/Cr等の場合はSn粉末を有機酸Pbで溶かした半田液を塗布し、乾燥させることで接合が行われる。この他、チップ間に高電圧を印加する陽極接合法やチップ表面のSi原子をアルゴンイオンで活性化する方法等を用いればSiの直接接合も可能であるが、製造価格の上昇を招く問題がある。

【0017】実装方法を図3に示す。図3(a)はパッケージ20に実装した場合の断面図であり、同図では簡略化のためにチップ表面のパッシベーション膜や充填剤(レジン)等は省略した。図3(b)はチップ100, 101の平面図であり、縦型MOSFET71, 72以外に横型MOSFET4や多結晶Siダイオード5で構成された制御回路が設けられている。チップ間の信号伝達はチップ101に設けられた出力パッド62と、チップ100に設けられた入力パッド61が接合されることで行われる。

【0018】図3(c)はパッケージ20の上面図である。内部には金属膜16と金属膜16'が敷かれ、金属膜16はドレイン端子23に接続されている。実装の際はチップ100のAl配線3'は金属膜16に、入力パッド61は金属膜16'に接続される。

【0019】図3(d)は実装後の上面図である。チップ101の出力パッド62はボンディングワイヤ14で金属膜16'に接続され、チップ101のゲートパッド3''はゲート端子21に、Al配線3はソース端子22にボンディングワイヤ14にて接続される。

【0020】図1の半導体装置の具体的な応用例を図4に示す。図4(a)は縦型MOSFET72に縦型MOSFET71を逆方向で直列接続する例であり、縦型MOSFET71のゲート電圧は横型MOSFET4や多結晶Siダイオード5等で構成された制御回路で制御される。ドレイン・ソース間が順方向電圧の場合、ゲート電圧を上げていけば縦型MOSFET7

1, 72はオンし、IDが流れる。逆方向電圧の場合は制御回路で縦型MOSFET71をオフすればIDは流れない。従って、本回路は一方向性の電流特性をもつ半導体装置を提供する。

【0021】図4(b)は、(a)と同機能の半導体装置を異なる制御回路方式で実現した例である。図4

(c)は縦型MOSFET71, 72を並列接続した例であり、制御回路で縦型MOSFET71, 72を選択的に駆動できる半導体装置を提供する。制御回路を設けない場合は、2個の縦型MOSFET71, 72で1個のFETを構成する。

【0022】図4(d)は整流回路に用いた例である。1次側が正の場合は縦型MOSFET71はオンし、縦型MOSFET72はオフするため、縦型MOSFET71のソースからチョークコイル(L)へ電流が流れる。1次側が負の場合は縦型MOSFET71はオフし、縦型MOSFET72はオンするため、縦型MOSFET72のソースからLへ電流が流れる。この結果、Lには常に電流が流れ、整流が行われる。

【0023】製造工程を図5に示す。本図では半導体チップ100, 101は同一のSiウエハから製造したが、別々のウエハから形成することは可能である。

【0024】(1)高濃度のn型Si基板1に低濃度のn型Si層7をエピタキシャル成長法で形成する(図5(a))。

【0025】(2)イオン注入で導電層(p, n+, n-)を形成し、ゲート電極(poly-Si)2を形成する。Al膜(Si:1%)を被着後、加工して配線3, 3', 3''を形成し、縦型MOSFET71, 72と横型MOSFET4を作製する。ゲート電極2の作製用に被着したpoly-Si膜はp領域とn領域を形成することで、pn接合ダイオード5や抵抗素子の作製に利用できる。素子形成が終了したら裏面を5μm以上研磨し、Au/Ni/Ti膜を被着して裏面電極10を形成する(図5(b))。

【0026】(3)Si基板1を切断して半導体チップ100, 101を分離する(図5(c))。

【0027】(4)半導体チップ100と半導体チップ101の裏面を対向させ、Sn/Pb, Sn/Bi等の半田液19を塗布して圧着する。この後、半田液19を乾燥させて接着し、複合半導体チップ103を形成する(図5(d))。

【0028】(5)複合半導体チップ103をパッケージ20に組み込み、パッケージの内側に設けた金属膜16, 16'にAl配線3', 入力パッド61を半田或いは導電性接着剤19で接着する。この後、出力パッド62と金属膜16'を、ゲートパッド3''とゲート端子23を、Al配線3とソース端子22をボンディングワイヤ14で各々接続する。最後にパッケージ20を封止して本発明の半導体装置は実現できる(図5(e))。

【0029】以上の実施例は、縦型MOSFET71, 72がnチャネルの場合を説明したが、pチャネルに置き換えることは可能であり、縦型MOSFET71, 72をV溝のJFET

(Junction FET)等に置き換えることも可能である。また、半導体材料はSi以外にSiCやSiGe等を用いることも可能である。

【0030】(実施例2)本発明の他の実施例として、半導体チップ100, 101の裏面が予めメタライズされていない場合の接合方法を図6に示す。半導体チップ100, 101のいずれか一方の裏面にAlGeやAuIn等の低融点金属膜45を被着し、両チップを圧着して還元雰囲気中で加熱する。加熱温度を低融点金属の融点(250~450℃)を僅かに上回る温度に設定すれば低融点金属膜45は熔融し、裏面の隙間を塞ぐと同時にシリサイド化反応で金属-半導体結合が形成され、チップは接合する。この後、熱歪みが残留しない様に徐々に室温に戻せば図1と等価な半導体装置が実現される。用いた低融点金属45の熱処理温度は配線(Al-Si(1%))3, 3', 3''のアニール温度(400~450℃)よりも低いため、接合時の熱処理が素子に悪影響を及ぼすことはない。低融点金属膜45はAu-Si等の貴金属系材料に置き換えることも可能であり、この場合はシリサイド化反応だけで半導体チップ100, 101は接合される。

【0031】(実施例3)本発明の他の実施例として、図7に半導体チップ100, 101が金属8を介して接続された一実施例を示す。金属8にはMo板やCu板等が使用され、半導体チップ100, 101が金属板の両側に対向して接合されることで、図1の半導体装置と回路的に等価な半導体装置が作製できたことが本実施例の特徴である。

【0032】金属8はヒートシンクの作用があるため、本実施例の半導体装置は放熱性を向上できる利点がある。また、縦型MOSFET71, 72へのドレイン電圧の供給は金属8に電圧を印加することで実現されるが、金属8の寄生抵抗はボンディングワイヤや金属膜の寄生抵抗よりも数桁小さいため、本実施例の半導体装置は図1の場合よりも電力損失を低減できる利点もある。

【0033】(実施例4)本発明の他の実施例として、下側チップの縦型MOSFETを縦型ダイオードに置き換えた場合の実施例を図8に示す。図8(a)は断面構造であり、縦型MOSFETを含む半導体チップ105とダイオードを含む半導体チップ100とが裏面間で接合されることで構成される。図8(b)は回路図であり、ダイオードによってソース側からドレイン側への電流が抑えられ、図4(a)(b)と同様に一方向性の半導体装置を提供する。

【0034】(実施例5)本発明の他の実施例として、下側チップの縦型MOSFETをバイポーラに置き換えた場合の実施例を図9に示す。図9(a)は縦型MOSFETを含む半導体チップ100とIGBT(Insulated Gate Bipolar Transistor)を含む半導体チップ105とが接合された場合であり、図9(b)は縦型MOSFETを含む半導体チ

ップ100と通常型バイポーラを含む半導体チップ106とが接合された場合である。

【0035】図9(a)の製造方法を簡単に説明する。半導体チップ100は高濃度のn型Si基板1に低濃度エピタキシャル層(n-Si)7を成長させ、縦型MOSFETや横型MOSFET4を作製する。半導体チップ105は高濃度のp型Si基板30にエピタキシャル層(n-Si)7, 7'を成長させ、IGBTを作製する。チップ100, 105の裏面はメタライズされ、裏面電極10が設けられる。本実施例の半導体装置はこの裏面電極間を半田或いは導電性接着剤19で接合することで実現される。半導体チップ105の面積を半導体チップ100よりも小さく設定すれば、半導体チップ100の裏面にドレイン(コレクタ)電圧を供給するための配線を行うことが可能となる。

【0036】図9(c)に本半導体装置を使った応用例を示す。本回路は制御信号によって出力先を縦型MOSFETとIGBTとで選択的に切り替えることが可能な半導体装置を提供する。

【0037】図9(b)の製造方法を簡単に説明する。半導体チップ100は縦型MOSFETや横型MOSFET4が内蔵され、裏面はメタライズされている。半導体チップ106はn型Si基板1にコレクタ層33がエピタキシャル成長され、ベース層34, エミッタ層35がイオン注入で形成されてバイポーラが作製される。裏面は同様にメタライズされており、半導体チップ100と半導体チップ106の裏面電極間が半田或いは導電性接着剤19で接合されることで本実施例の半導体装置は実現できる。

【0038】エミッタ層35にアモルファスSiを用いる、或いはベース層34にSiGeを用いることでバイポーラをHBT(Hetero-junction Bipolar Transistor)構造とすることは可能である。図9(d)に本半導体装置を使った応用例を示す。本回路はコレクタに順方向電圧が印加される場合は信号処理部の出力電流をバイポーラで増幅することができるが、逆方向電圧が印加される場合は縦型MOSFETで電流が遮断され、一方向性の電流特性をもった半導体装置を提供する。

【0039】(実施例6)本発明の半導体装置に機械的スイッチを組み合わせた一実施例を図10に示す。

【0040】機械的スイッチはバイメタルによって構成され、上記本発明の半導体装置に機械的スイッチからの電気信号が伝達されることが本実施例の特徴である。

【0041】通常の温度ではバイメタル51, 52は入力パッド61'と接触し、制御回路へ電圧が印加されるが、周囲温度が上昇すればバイメタル51, 52は非接触となり、電気信号が入力できなくなるため、バイメタル51, 52は温度スイッチとして作動する。

【0042】通常の半導体チップに機械的スイッチを組み合わせる場合、チップの片側にしかパッドが設けられないため、狭い面積に機械的スイッチと多数の電極パッ

ドとが配置され、高密度の実装技術が要求される。しかし、本発明の半導体装置は両側が利用できるため、高密度に実装する必要はない。下側のパッドは機械的スイッチに接触させるためのパッド61', チップ間の信号伝達に用いるためのパッド61, ドレイン電圧を印加するためのA1配線3'だけが最低限必要である。

【0043】製法を簡単に説明する。Si基板12に金属膜16からなる配線パターンを形成し、熱膨張率の小さい金属51と熱膨張率の大きい金属52を高温で連続的に被着し、絶縁膜で被覆して室温に戻す。金属51にはFe/NiやMo等を、金属52にはAlやCu等が利用でき、バイメタルの曲率はこれらを被着する温度によって調整できる。

【0044】金属51, 52を長さ3mm, 幅0.5mmの長方形に加工した後、絶縁膜を除去して片端を固定したまま他端をエッチングすれば、金属52には大きな引っ張り応力が残留し、金属51には小さな引っ張り応力が残留するため、固定されていない端は上方に浮き上がる。図1の半導体装置はA1配線3'が金属膜16に接続され、導電性接着剤19で固定される。この際、パッド61'はバイメタル51, 52と接触できる様に設定する。ボンディングワイヤ14でチップ101の配線を行った後、バイメタル51, 52の固定端に制御電圧を印加すれば本実施例の半導体装置は実現される。

【0045】図10(b)に応用例を示す。通常温度ではパッド61'に制御信号が伝達され、温度スイッチがオン状態であるためにゲート電圧は伝達される。周囲温度が上昇した場合は温度スイッチがオフ状態となり、ゲート電圧は伝達不能となる。従って、本回路は過熱遮断型の半導体装置を提供する。

【0046】(実施例7)本発明の半導体装置に形状記憶金属53からなる機械的スイッチを組み合わせる場合の一実施例を図11に示す。通常はパッド61'と形状記憶金属53は非接触であるが、周囲温度が上昇すれば形状記憶金属53は伸び、パッド61'と接触する。従って、本実施例の温度スイッチの動作は実施例6と反対になる。

【0047】製法を簡単に説明する。ガラス基板13に金属膜16からなる配線パターンを形成する。形状記憶金属53はバネ状に加工し、高温で圧縮応力を加え、縮めた状態で急冷する。形状記憶金属53の材料にはAuCd, TiNi, CuZn等が利用でき、この形状記憶金属53を金属膜16の配線パターンに半田或いは導電性接着剤19で固定する。半導体装置はチップ100の裏面を金属膜16'に固定し、この際にパッド61'は形状記憶金属53の上方に配置される様に設定する。この後、ボンディングワイヤ14で半導体装置の配線を行うことで本実施例の半導体装置は実現する。

【0048】(実施例8)本発明の半導体装置に光スイッチを組み合わせた一実施例を図12に示す。光スイッ

テにはn型の多結晶半導体膜55とp型の多結晶半導体膜56を積層して構成するアバランシェ型の光ダイオード(APD)を用い、半導体装置の制御回路部に光信号を入力させることが本実施例の特徴である。

【0049】多結晶半導体膜55, 56は逆方向の電圧が印加されており、通常は微小な暗電流しか流れない。外部から光が入力された場合、それよりも数桁大きい明電流が流れ、制御回路部に電流信号を与える。光ダイオードの明電流は多結晶半導体膜55, 56の面積に比例し、100mA程度の電流を与えるためには大面積が必要であるため、1個の半導体チップに多結晶半導体膜55, 56を設ける場合はチップ寸法が大きくなる問題がある。しかし、本発明の半導体装置は2層であるため、実装面積の増大を1個の場合よりも抑えることが可能になる。また、多結晶半導体膜55, 56を設ける半導体チップ100は出力パッド62とAl配線3'だけ配置すればよいので、実装も簡単に行うことができる。

【0050】製法を簡単に説明する。半導体チップ100に多結晶のp-GaAs膜56を20 μ m被着し、加工する。その上に多結晶のn-GaAs膜55を2 μ m被着して、加工し、電極(AuGe)63を設ける。半導体チップ100と半導体チップ101とを接合した後、金属膜16で配線パターンを設けた透明なガラス基板13に半導体チップ100を接続する。この後、半導体チップ101のボンディング作業を行い、本実施例の半導体装置は実現できる。

【0051】多結晶半導体膜55, 56にはSi, Ge等のIV族, GaAs, InP等のIII V族, CdS, CdTe等のII VIの半導体材料が使用可能であり、非晶質半導体膜とすることも可能である。また、多結晶半導体膜55, 56の光導電効果で出力電流を取り出す方式を、光起電力効果で出力電圧を取り出す方式に換えることも可能である。

【0052】図12(b)に応用例を示す。本回路は制御回路部に光入力伝達される2方向性の縦型MOSFETを提供する。

【0053】(実施例9) 図5で示した製造方法はダイシングした半導体チップを個別に接合する方法を用いたため、多数の半導体装置を量産する場合は手間のかかる問題がある。そこで、本発明の半導体装置の他の製造方法として、半導体チップ100, 101をウエハー状態で接合する一実施例を図13に示す。本実施例の製造手順は以下の通りである。

【0054】(1) 半導体チップ100を有するウエハー表面にパッシベーション膜(珪酸ガラス)26を被覆し、裏面を10 μ m研磨する。半導体チップ101を有するウエハーはパッシベーション膜26'を被覆後、ウエハーの厚さが50~250 μ mになるまで研磨する。この後、半導体チップ100を有するウエハー裏面に低融点金属膜(AlGe)45を被着し、半導体チップ1

01を有するウエハー裏面を重ねる(図13(a))。

【0055】(2) 重ねたウエハーを還元雰囲気中で300~400℃に加熱すれば低融点金属45は熔融し、裏面間の隙間を塞ぐ。同時に、低融点金属45とウエハーの界面はシリサイド化反応が進行し、半導体-金属-半導体結合で2枚のウエハーは接合される。この後、熱歪みが残留しない様に徐冷することで複合半導体チップ103は形成される(図13(b))。

【0056】(3) パッシベーション膜26, 26'を加工して電極を取り出すための開口部を設け、ウエハーをダイシングする。半導体チップ101を有するウエハーは薄く研磨してあるため、ダイシング工程中に剥がれることはない(図13(c))。

【0057】(4) 分離された複合半導体チップ103はパッケージ等を実装され、本発明の半導体装置が実現される。

【0058】以上に示した本実施例の製造方法は、半導体チップがウエハー状態で一括して接合されるため、生産効率を向上できる利点である。

【0059】尚、低融点金属膜45にAuInを用いる場合の加熱温度は250~350℃、AuSiの場合は350~450℃が最適であり、加熱温度は材料に応じて設定される必要がある。

【0060】(実施例10) 図5の製造方法では接合した後の複合半導体チップ103をパッケージ20に実装する方法を用いたが、本発明の半導体装置では半導体チップの接合とパッケージ20の組み立てを一緒にを行い、工程数を削減する方法も可能である。この場合の製造方法の一実施例を図14に示す。製造手順は以下の通りである。

【0061】(1) 半導体基板1に素子を形成する。形成方法は図5(b)で説明したため、ここでは説明を省く(図14(a), 図14(b))。

【0062】(2) Al配線3, 3'とパッド61, 62に電極としてバリアメタル18とパンプ17を設ける。バリアメタル18にはMo, TiN等を、パンプ17にはAuIn, SnPb等の材料が使用可能である。裏面研磨後、メタライズして裏面電極10を設ける。この後、ダイシングして半導体チップ100, 101を分離する(図14(c))。

【0063】(3) パッケージ部品28, 29に金属膜16, 16'で配線パターンを形成し、各々に半導体チップ100, 101を組み込む。この際、パンプ17と金属膜16, 16'を熱圧着で接着する。本図では省略したが、半導体チップ100, 101とパッケージ部品28, 29の隙間には絶縁性の樹脂を充填し、チップの固定を強化した(図14(d))。

【0064】(4) 半導体チップ100, 101の裏面に導電性接着剤19を塗布した後、パッケージ部品28, 29を合体させ、熱圧着で封止する。この際、チッ

ブ裏面の導電性接着剤 19 が乾燥し、半導体チップ 100 と半導体チップ 101 は接合される。また、パッケージ部品 28 の金属膜 16, 16' とパッケージ部品 29 の金属膜 16, 16' も導電体 (1n) 24 を介して互いに接続される (図 14 (e))。

【0065】以上の製造方法で本発明の半導体装置は実現され、本製造工程ではパッケージの組み立てと一緒に半導体チップ 100, 101 を接合するため、工程数を削減できる利点がある。また、本製造方法は手作業が必要なワイヤボンディング法を用いないため、実装工程の自動化が容易になる利点もある。

【0066】図 13 では半導体チップ 100, 101 と金属膜 16, 16' の接続にパンプ 17 を用いたが、パッドの個数が少ない場合はパンプ 17 の代わりに半田或いは導電性接着剤 19 で接続することも可能である。

【0067】

【発明の効果】本発明によって、縦型 FET を有する半導体装置は縦型 FET 部の面積を広くできる。縦型 FET 部の面積が決められている場合、本発明によって半導体装置のパッケージを小型化でき、製品価格を低減できる。

【0068】この他、本発明の半導体装置は異種半導体からなる縦型 FET を組み合わせること、或いはバイポーラや IGBT 等のデバイスを組み合わせることも可能になるため、システムの柔軟性を高めることができる。

【図面の簡単な説明】

【図 1】本発明の一実施例を縦型 MOSFET の場合で示した断面図。

【図 2】従来の縦型 MOSFET の断面図。

【図 3】図 1 の半導体装置をパッケージに実装する例を

示した断面図および平面図。

【図 4】本発明の半導体装置を用いた回路例を示した回路図。

【図 5】本発明の半導体装置の製造方法を示した断面図。

【図 6】本発明の他の実施例を示した断面図。

【図 7】複数の半導体チップを金属を介して接合した実施例の断面図。

【図 8】縦型 MOSFET とダイオードを接合した実施例の断面図および回路図。

【図 9】縦型 MOSFET とバイポーラを接合した実施例の断面図および回路図。

【図 10】バイメタルからなるスイッチを組み合わせた一実施例の断面図および回路図。

【図 11】形状記憶金属からなるスイッチを組み合わせた一実施例の断面図。

【図 12】光ダイオードからなるスイッチを組み合わせた一実施例の断面図。

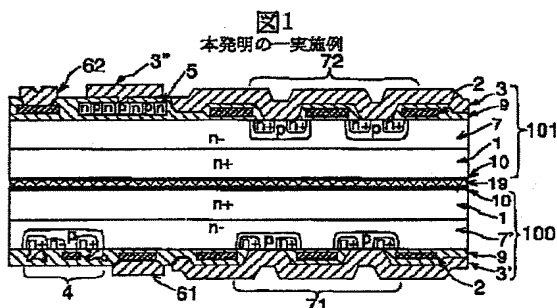
【図 13】本発明の半導体装置をウエハの接合で製造する工程を示した断面図。

【図 14】本発明の半導体装置の組み立てと容器の組み立てを同時に行う製造工程を示した断面図。

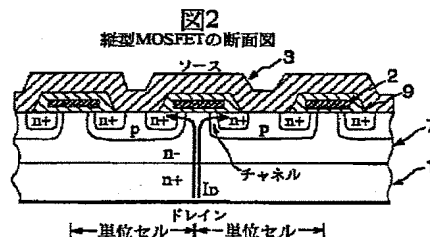
【符号の説明】

1…半導体基板 (n-Si)、2…ゲート電極、3…A1 配線 (ソース側)、3'…A1 配線 (ドレイン側)、3''…A1 配線 (ゲート側)、4…横型 MOSFET、5…多結晶 Si ダイオード、6, 6'…絶縁膜、7, 7'…エピタキシャル層、8…金属板、9…絶縁膜、10…裏面電極、61…入力パッド、62…出力パッド、100…半導体チップ、101…半導体チップ。

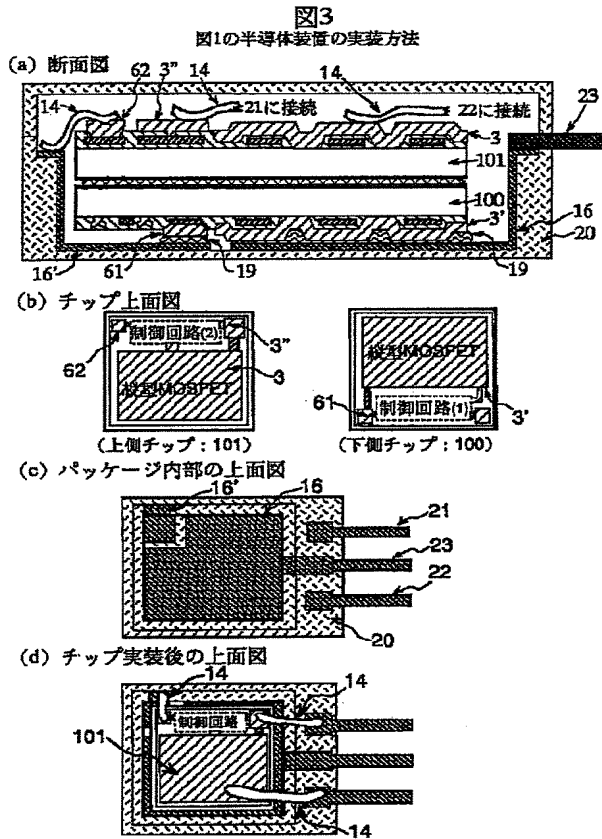
【図 1】



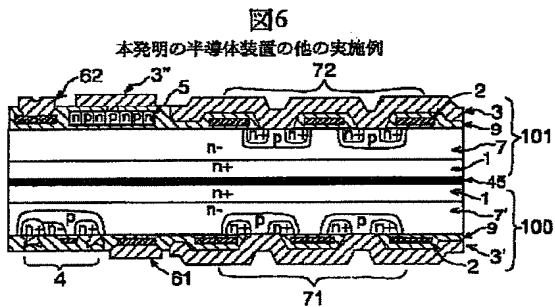
【図 2】



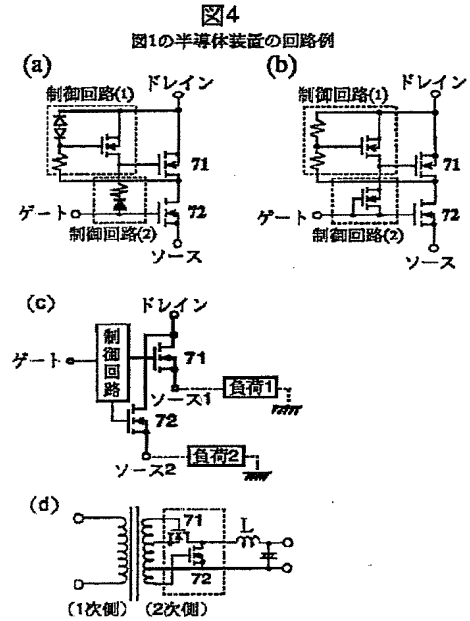
【図3】



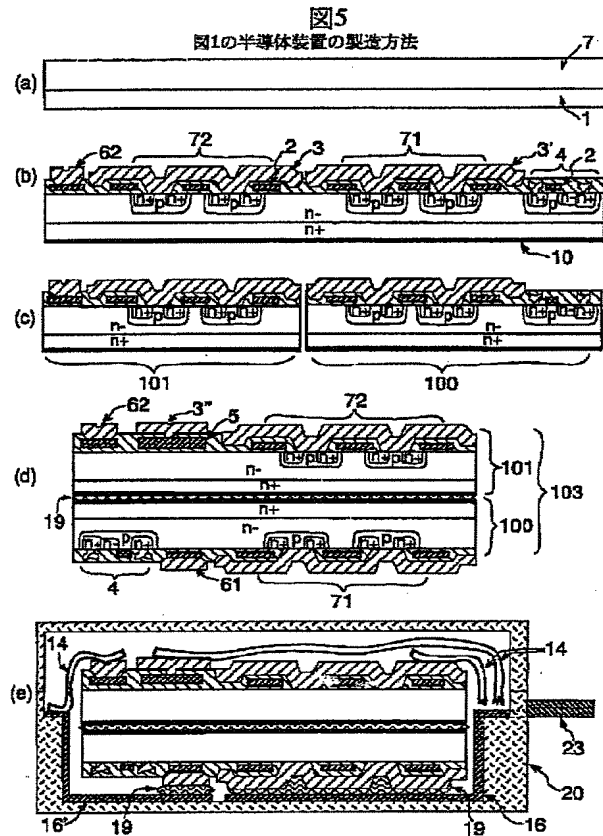
【図6】



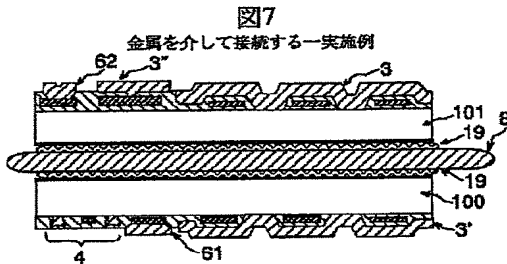
【図4】



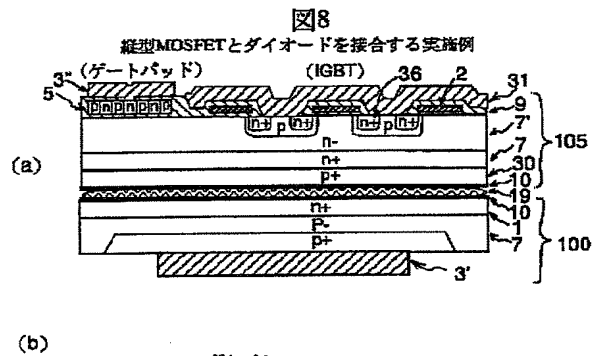
【図5】



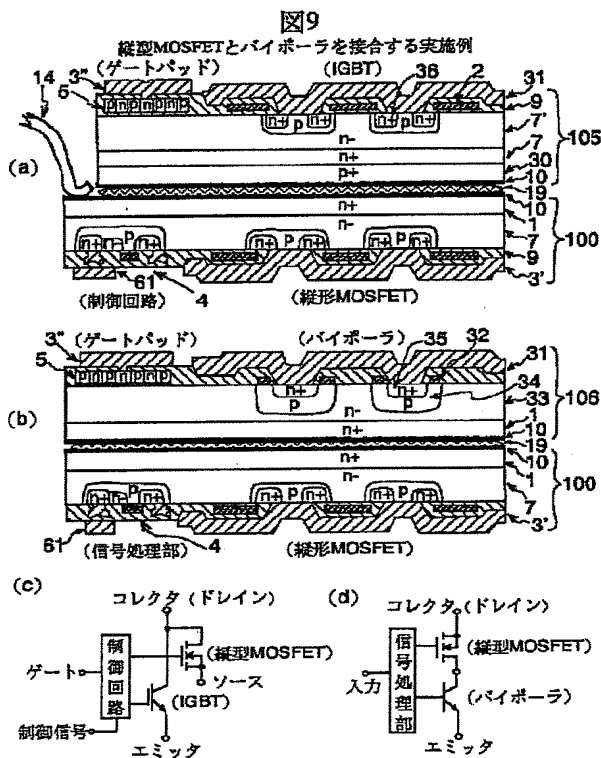
【図7】



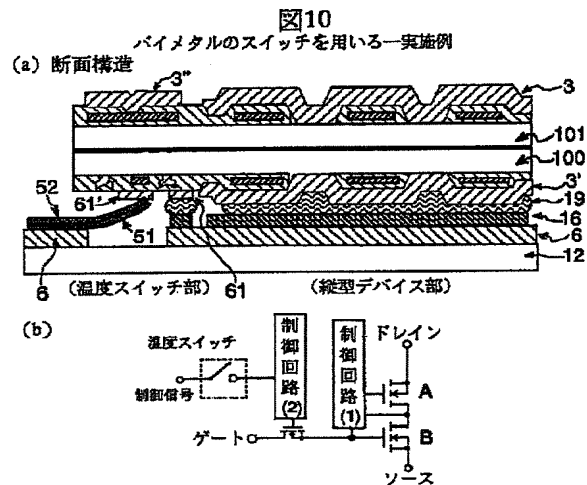
【図8】



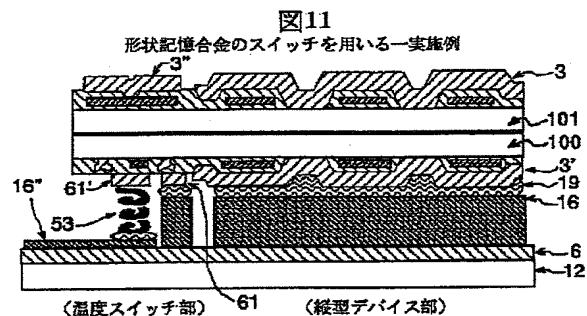
【図9】



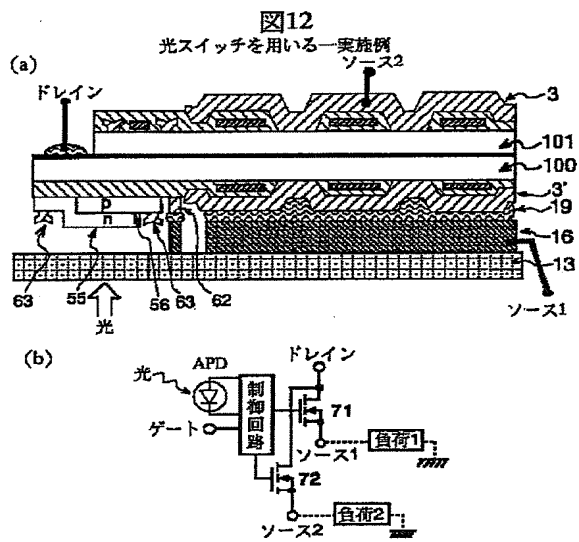
【図10】



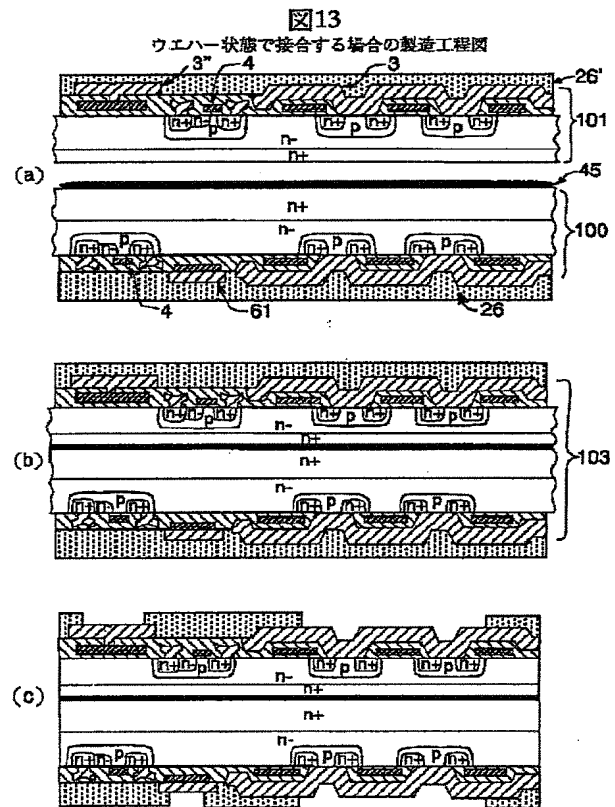
【図11】



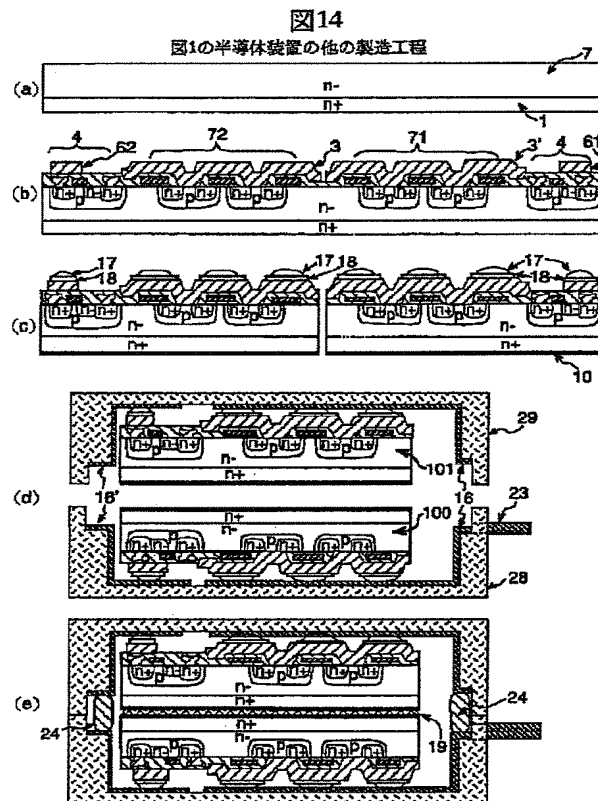
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 坂本 光造
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内